

10/550805

JCO9 Rec'd PCT/PTO 23 SEP 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: TOMINAGA KOJI ET AL.)
)
For: METHOD FOR FORMING AN INSULATING FILM IN)
A SEMICONDUCTOR DEVICE)

CLAIM FOR PRIORITY

Mail Stop PCT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

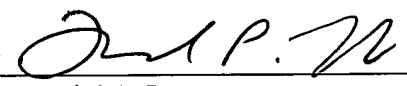
Dear Sir:

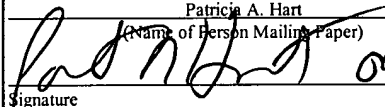
Applicant hereby claims the benefits of the filing date of March 24, 2003 to Japanese Application No. 2003-79279 under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

If any fees are due with regard to this claim for priority, please charge them to Deposit Account No. 06-1130 maintained by Applicant's attorneys.

Respectfully submitted,

CANTOR COLBURN LLP

By 
Daniel P. Lent
Registration No. 44,867

I certify that this correspondence is being deposited with the United States Postal Service as Express mail in an envelope addressed to: Mail Stop PCT, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on	
September 23, 2005 (Date of Deposit)	
Patricia A. Hart (Name of Person Mailing Paper)	
 Signature	09/23/05 Date
EV543403345US Express Mail Label	

Date: September 23, 2005
Address: 55 Griffin Road South, Bloomfield, Connecticut 06002
Telephone: (860) 286-2929
Customer No. 023413

日 本 国 特 許 庁
JAPAN PATENT OFFICE

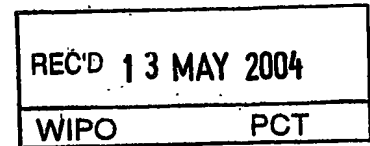
18. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 2 4 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 7 9 2 7 9
[ST. 10/C]: [J P 2 0 0 3 - 0 7 9 2 7 9]



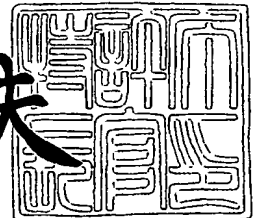
出 願 人
Applicant(s): 株式会社堀場製作所
独立行政法人産業技術総合研究所
株式会社日立製作所
ローム株式会社

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 4 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 165-142

【あて先】 特許庁長官殿

【発明者】

【住所又は居所】 京都府京都市南区吉祥院宮の東町 2 番地 株式会社堀場製作所内

【氏名】 富永 浩二

【発明者】

【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 安田 哲二

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 生田目 俊秀

【発明者】

【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 岩本 邦彦

【特許出願人】

【識別番号】 000155023

【氏名又は名称】 株式会社堀場製作所

【特許出願人】

【識別番号】 301021533

【氏名又は名称】 独立行政法人産業技術総合研究所

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100074273

【弁理士】

【氏名又は名称】 藤本 英夫

【電話番号】 06-6352-5169

【手数料の表示】

【予納台帳番号】 017798

【納付金額】 21,000円

【その他】

国等以外のすべての者の持分の割合 80 / 100

国等の委託研究の成果に係る特許出願〔平成14年度新
エネルギー・産業技術総合開発機構「次世代半導体材料
・プロセス基板技術開発」委託研究、産業活力再生特別
措置法第30条の適用を受けるもの〕

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706521

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置における絶縁膜の形成方法

【特許請求の範囲】

【請求項 1】 絶縁膜の厚みを 0.3～2 nm の範囲に成膜する工程と前記絶縁膜中の不純物を除去する工程とを複数回繰り返すことによって、所定厚みの絶縁膜とすることを特徴とする半導体装置における絶縁膜の形成方法。

【請求項 2】 不純物を除去する工程を還元性ガス雰囲気または酸化性ガス雰囲気下で行う請求項 1 に記載の半導体装置における絶縁膜の形成方法。

【請求項 3】 不純物を除去する工程を還元性ガス雰囲気下と酸化性ガス雰囲気下との組み合わせで行う請求項 1 に記載の半導体装置における絶縁膜の形成方法。

【請求項 4】 不純物を除去する工程における還元性雰囲気が、アンモニアガス、水素ガスまたは不活性ガスのいずれかの単独ガス、これらのガスの混合ガス、プラズマ窒素、または、真空中でのいずれかによって形成されている請求項 2 または 3 に記載の半導体装置における絶縁膜の形成方法。

【請求項 5】 不純物を除去する工程における酸化性ガス雰囲気が、酸素ガス、一酸化窒素、亜酸化窒素またはオゾンガスのいずれかの単独ガス、これらのガスの混合ガス、または、プラズマ酸素のいずれかによって形成してなる請求項 2 または 3 に記載の半導体装置における絶縁膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置における絶縁膜の形成方法に関し、特に、MIS (Metal Insulator Semiconductor) 型トランジスタにおけるゲート絶縁膜やMIM (Metal Insulator Metal) 型キャパシタにおけるキャパシタ用絶縁膜の形成方法に関する。

【0002】

【従来技術】

【非特許文献 1】 日立国際電気 第 49 回春季応用物理学関係連合講演

会予稿集 28p-A-11-14)

近年、半導体の高集積化に伴い、その絶縁膜には、誘電率の大きな金属酸化物等 (High-k 膜) が用いられている。そして、この High-k 膜として例えば、 Al_2O_3 や HfO_2 等が公知であり、このような High-k 膜を成膜する技術として、ALD (Atomic Layer Deposition; 原子層成膜) 法がある。この ALD 法は、原料として、例えば、トリメチルアルミニウム ($\text{TMA: Al(CH}_3)_3$) と水蒸気 (H_2O) を用い、これらの原料を交互に Si 基板に吹き付けることにより、 Al_2O_3 の成膜を行うものである。このとき、原料を構成する CH_3 基 (メチル基) が膜中に取り込まれ、これが不純物 (C_xH_y) として振る舞うことにより、膜質を劣化させる原因となっている。この不純物を取り除く方法として、例えば、MIS 型トランジスタのゲート絶縁膜においては、一般的には、図 10 (A) の右側に図示するように、Si 基板 51 の上面に High-k 膜 52 を成膜した後に熱処理を行っている。

【0003】

【発明が解決しようとする課題】

しかしながら、上述のように、成膜終了後の熱処理では充分ではなく、図 10 (A) に示すように、成膜された High-k 膜 52 の表面付近の不純物 53 しか除去することができない。このため、Si 基板 51 と High-k 膜 52 との界面近傍の深いところまで熱処理により不純物処理を行う場合は、図 10 (B) に示すように、熱処理温度を高くしたり熱処理を長時間にわたって行う必要があるが、そのようにした場合、前記図 10 (B) の右側に図示するように、前記界面に SiO_2 等の界面層 54 が形成されてしまう。この界面層 54 は、誘電率 ϵ が低く ($\epsilon = 3.9$)、折角の High-k 膜 52 の効果が損なわれてしまう。

【0004】

上記熱処理以外の不純物除去の方法として、前記非特許文献 1 に記載されるようなプラズマ酸化による方法がある。この不純物除去の方法は、CVD (Chemical Vapor Deposition) 法による HfO_2 (酸化ハフニア) 膜の形成工程とプラズマ酸化による不純物除去処理工程とを組み合わせたものである。しかしながら、この方法によっても、前記図 10 (B) に示したよ

うな界面層 54 が容易に形成されてしまう問題がある。

【0005】

上述した問題は、MIS 型トランジスタのゲート絶縁膜の成膜時のみならず、MIM 型キャパシタのキャパシタ用絶縁膜の成膜時においても同様に生じている。

【0006】

この発明は、上述の事柄に留意してなされたもので、その目的は、半導体装置における絶縁膜中にその膜質を劣化させる不純物を可及的に存在させないようにすることのできる半導体装置における絶縁膜の形成方法（以下、単に絶縁膜の形成方法という）を提供することである。

【0007】

【課題を解決するための手段】

上記目的を達成するため、この発明の絶縁膜の形成方法は、絶縁膜の厚みを 0.3 ~ 2 nm の範囲に成膜する工程と前記絶縁膜中の不純物を除去する工程とを複数回繰り返すことによって、所定厚みの絶縁膜とすることを特徴としている（請求項 1）。

【0008】

前記請求項 1 に記載の絶縁膜の形成方法においては、所望の厚みの絶縁膜を一度に形成するのではなく、前記絶縁膜をその厚みを 0.3 ~ 2 nm の範囲内で成膜する工程と前記絶縁膜における不純物を除去する工程とを複数回繰り返すようにし、所定厚みの絶縁膜としているので、界面層の成長による不都合を防止しつつ、不純物が可及的に少ない High-k 膜を容易かつ確実に形成することができる。

【0009】

そして、前記不純物を除去する工程を、還元性ガス雰囲気または酸化性ガス雰囲気下で行うようにしてもよく（請求項 2）、また、還元性ガス雰囲気下と酸化性ガス雰囲気下との組み合わせで行うようにしてもよい（請求項 3）。いずれのガス雰囲気下においても、所望の High-k 膜を容易かつ確実に形成することができる。

【0010】

そして、前記不純物を除去する工程における還元性雰囲気は、アンモニアガス、水素ガスまたは不活性ガスのいずれかの単独ガス、これらのガスの混合ガス、プラズマ窒素、または、真空中でのいずれかによって形成することができる（請求項4）。

【0011】

さらに、前記不純物を除去する工程における酸化性ガス雰囲気は、酸素ガス、一酸化窒素、亜酸化窒素またはオゾンガスのいずれかの単独ガス、これらのガスの混合ガス、または、プラズマ酸素のいずれかによって形成することができる（請求項5）。

【0012】

【発明の実施の形態】

以下、この発明の詳細を、図を参照しながら説明する。まず、図1は、この発明の絶縁膜の形成方法が適用される半導体装置としてのMIS型トランジスタ1の構成を概略的に示すもので、この図において、2はSi単結晶基板（以下、単にSi基板という）で、その抵抗率は例えば $0.01 \sim 15 \Omega \cdot \text{cm}$ である。3は素子間を分離させるための素子分離酸化膜で、Si基板2を熱酸化させて形成される。4はSi基板2の表面2aに形成されるゲート絶縁膜で、その形成方法については、後で詳しく説明する。

【0013】

5はゲート絶縁膜4の上面に形成されるゲート電極で、例えば多結晶Si膜や多結晶SiGe膜、または、ゲート絶縁膜4と反応しないPt（白金）などの貴金属やTiN、TaNなどの高融点金属よりなる。6はチャンネル領域で、nチャンネルにはP（リン）などを、pチャンネルにはB（ボロン）などをそれぞれ注入し、 $800 \sim 1000^\circ\text{C}$ の温度で10～30分間熱処理を行って活性化させる。7は層間絶縁膜で、例えば SiO_2 よりなり、CVD（Chemical Vapor Deposition）法などで形成される。8はチャンネル領域6の引き出し電極で、例えばAlよりなり、ソース・ドレイン電極となる。なお、パターニングは、例えばフォトリソグラフィの技術によって行われる。

【0014】

上記ゲート絶縁膜4は、所望の厚みのHigh-k膜からなり、図6に示すように、成膜工程11と不純物除去処理工程（アニール工程）12とを順次複数回繰り返して行う点に特徴がある。つまり、Si基板2にHigh-k膜4を所望厚さのものを一度に成膜するのではなく、少しずつ所定厚さの膜を成膜し、その後、所定のガス雰囲気下でアニールして不純物の残留を可及的に少なくする点に特徴がある。そこで、このようなゲート絶縁膜4の形成方法の具体的実施例を説明する前に、発明者らが行った実験やそれらの結果に対する考察について、図2～図5を参照しながら説明する。

【0015】

まず、ALD法によって、例えば、適宜厚さ（例えば、 $500\mu\text{m}$ 程度）のSi単結晶板からなるSi基板上に Al_2O_3 膜を $0.3\sim 6.3\text{nm}$ の厚みに成膜した。この成膜条件は、基板温度 250°C で、出発原料として、Al原料としてはTMA（ $\text{Al}(\text{CH}_3)_3$ ：トリメチルアルミニウム）を、酸化剤としては水蒸気ガスをそれぞれ用いた。前記 Al_2O_3 膜を昇温脱離ガス分析装置（TDS：Thermal Desorption Spectroscopy）で分析を行った。図2はその結果を示すものである。この図2において、（A）は膜厚を種々変えたときの C_2H_4 ガス（分子量28）の脱離を示すものであり、（B）は膜厚と C_2H_4 ガスの脱離量との関係を示すものである。なお、その他の分子量、例えば、分子量16の CH_4 または分子量30の C_2H_6 においても、さらに、分子量44の CO_2 においても、前記図2における傾向と同様であった。

【0016】

前記昇温脱離ガス分析は、温度を上昇させながらそのときの脱離するガスを分析する方法であるので、熱処理を行っていることと同じであり、この分析結果から発見したことは、熱処理によって不純物を除去できる膜厚は有限で約 1.5nm 以下であり、それ以上の膜厚では、不純物が残留する場合があるということである。

【0017】

そして、ALD法によって、例えば、適宜厚さ（例えば、 $500\text{ }\mu\text{m}$ 程度）のSi単結晶板からなるSi基板上に HfO_2 膜を $0.7\sim 7.5\text{ nm}$ の厚みに成膜した。この成膜条件は、基板温度 250°C で、出発原料として、Hf原料としてはTDMAH [$\text{Hf}(\text{N}(\text{CH}_3)_2)_4$: テトラキスジメチルアミノハフニウム] を、酸化剤としては水蒸気ガスをそれぞれ用いた。前記 HfO_2 膜をTDSで昇温脱離ガス分析を行った。図3はその結果を示すものである。この図3に示す膜厚と C_2H_4 （ガス分子量28）の脱離との関係から、ある膜厚以上になると、脱離するガスの量が飽和し、したがって、ある膜厚以下にすることにより、膜中に含まれる不純物を除去することができることが分かる。特に、図3からは、膜厚が 2.0 nm 以下であれば不純物を良好に除去することが分かる。なお、その他の分子量、例えば、分子量16の CH_4 や分子量30の C_2H_6 においても、さらに、分子量44の CO_2 においても、前記図3における傾向と同様であった。

【0018】

また、ALD法によって、適宜厚さ（例えば、 $500\text{ }\mu\text{m}$ 程度）のSi単結晶板からなるSi基板上に HfAlO_x 膜を $0.7\sim 11\text{ nm}$ の厚みに成膜した。この成膜条件は、基板温度 250°C で、出発原料として、Al原料としてはTMA、Hf原料としてはTDMAHを、酸化剤としては水蒸気ガスをそれぞれ用いた。前記 HfAlO_x 膜をTDSで昇温脱離ガス分析を行った。図4はその結果を示すものである。この図4において、(A)は膜厚を種々変えたときの分子量28 (C_2H_4) のTDSスペクトルを示すものであり、(B)は膜厚と C_2H_4 ガスの脱離量との関係を示すものである。

【0019】

前記図4に示される結果からは、ある膜厚以上になると、脱離するガスの量は飽和し、したがって、ある膜厚以下にすることにより、膜中に含まれる不純物を除去することができることが分かり、特に、図4(B)からは、膜厚が 1.8 nm 以下であれば不純物を良好に除去することができるといったことが分かる。

【0020】

そして、前記図2～図4に示される結果から、膜を構成する元素の種類によっ

て不純物を除去することのできる膜厚が変わること、および、膜厚が0.3～2.0 nmの範囲（最適には、0.5～1.8 nmの範囲）である場合、熱処理によって不純物を確実に除去できるということが導かれる。なお、0.3 nmは膜として形成できる最小の膜厚であり、1モノレイア（monolayer：単原子層）に相当する。

【0021】

次に、前記成膜工程に行われる不純物除去工程（アニール工程）について説明する。この不純物除去工程（アニール工程）は、あるガス雰囲気下において所定の温度状態でHigh-k膜をアニールするもので、雰囲気ガスとしては、還元性ガス雰囲気または酸化性ガス雰囲気があり、成膜工程の後に行われる不純物除去工程（アニール工程）を、前記ガス雰囲気を適宜組み合わせて行うのである。図5は、不純物除去工程（アニール工程）を行った後に、XPS（X-ray photoelectron spectroscopy：軟X線光電子分光法）による測定データを示すもので、（A）は1回目のアニールを還元性ガス雰囲気下で行った場合を示し、（B）は1回目のアニールを酸化性ガス雰囲気下で行った場合を示している。この図5から、アニールを還元性ガス雰囲気下で行った場合、酸化性ガス雰囲気下の場合に比べて、界面層の増加の程度かなり小さいことが分かる。つまり、アニールにおける雰囲気ガスを適宜制御することにより、界面層の形成を抑制することができる。

【0022】

次に、この発明の絶縁膜の形成方法、より具体的には、MIS型トランジスタ1のゲート絶縁膜4を形成する手法の具体的実施例について説明する。図6および7は、この発明の第1実施例を説明するための図で、この実施例においては、ゲート絶縁膜4としてのHigh-k膜の膜厚が4.0 nmである。まず、適宜厚さ（例えば、500 μm程度）のSi単結晶板からなるSi基板上2を用意し、この表面上にALD法で膜厚0.5 nmのHigh-k膜としてのHfAlO_x膜を成膜する（1回目の成膜、図6中の符号11参照）。このときの成膜条件は、基板温度250℃で、出発原料として、Al原料としてはTMA、Hf原料としてはTDMAHを、酸化剤としては水蒸気ガスをそれぞれ用いる。

【0023】

次いで、前記 HfAlO_x 膜を、還元性ガスとしての NH_3 (アンモニア) ガス雰囲気下で、 650°C 、30秒間熱処理を行って不純物処理を行う(1回目の熱処理、図6中の符号12参照)。この1回目の熱処理は、還元性ガス雰囲気下で行うのが好ましい。何故なら、酸化ガス雰囲気下で熱処理を行った場合、膜厚が 0.5nm と薄いため、界面の Si が酸化されて SiO_2 を形成し、誘電率の低い界面層が形成されるからである。なお、この実施例においては、 650°C で熱処理を行っているが、前記図2(A)および図4(A)の結果から、この熱処理時の雰囲気温度を約 500°C 以上に設定しておけば、所望の不純物除去効果が得られることが分かる。したがって、不純物除去の処理温度は 500°C 以上が好ましい。

【0024】

前記1回目の熱処理の後、 HfAlO_x 膜を、前記1回目の成膜と同じ成膜条件で同じ厚みに成膜する(2回目の成膜、図6中の符号11参照)。

【0025】

前記2回目の成膜の後、今度は酸素ガス(例えば 130Pa の圧力下)雰囲気下において前記1回目の熱処理と同じ温度および時間で熱処理を行って不純物処理を行う(2回目の熱処理、図6中の符号12参照)。

【0026】

そして、以下、7回目まで成膜と熱処理とを交互に繰り返す。この場合、熱処理は、2回目の熱処理と同じように行う。

【0027】

そして、8回目の成膜を前記7回目までの成膜と同様に行い、その後、酸素ガス雰囲気(酸化性ガス雰囲気)下で7回目までの熱処理と同じ温度および時間で熱処理を行って不純物処理を行う。

【0028】

図7は、上述した成膜と熱処理とを交互に複数回繰り返して行うことにより作成した HfAlO_x 膜(膜厚 4.0nm) Aと、最初に膜厚 4.0nm の HfAlO_x 膜を成膜し、最後に不純物処理のため 650°C で30秒間熱処理した Hf

AlO_x 膜Bと、最初に膜厚 4.0 nm の HfAlO_x 膜を成膜し、最後に不純物処理のため 850℃ で 30 秒間熱処理した HfAlO_x 膜Cをそれぞれ昇温脱離ガス分析を行った結果を示すものである。

【0029】

前記図 7 から、成膜と熱処理（不純物除去処理）とを交互に行った本発明方法による HfAlO_x 膜Aにおいては、脱離ガス（CH₄ ガス）はほとんど認められない。なお、この図 7 においては、分子量 16 の CH₄ ガスの脱離を示しているが、その他の分子量、例えば、分子量 28 の C₂H₄ または分子量 30 の C₂H₆ においても、さらに、分子量 44 の CO₂ においても、前記図 7 におけるものと同様の結果が得られている。

【0030】

また、この発明方法による HfAlO_x 膜の場合、Si との界面に低誘電率膜である界面層は一切形成されてないことも確認した。

【0031】

このように、本発明方法による HfAlO_x 膜（High-k 膜）は、ほとんど不純物を含まず、また、Si との界面に低誘電率層もない。そして、本発明方法においては、650℃ といった比較的低温で不純物の除去を行うことができるので、High-k 膜の結晶化が好適に抑制され、High-k 膜が結晶化されることによる不都合、すなわち、結晶化されてしまうと、結晶粒界がウィークポイントとなって、折角の High-k 膜の信頼性が低下するといったことがなくなる。

【0032】

次に、図 8 はこの発明の第 2 実施例を示すもので、前記第 1 実施例と同様の出発原料を用いて、Si 基板上に HfAlO_x 膜を 3 nm の厚みで形成するものである。この図 3 において、サンプル A、サンプル B、サンプル C は、1 nm の成膜の後、所定のガス雰囲気下において熱処理するもので、①～⑥までのステップによってそれぞれ形成される High-k 膜である。そして、比較例として、一挙に 3 nm の High-k 膜を作成する従来方法のものをサンプル D とする。そして、これらいずれのサンプル A～D においても、成膜後の熱処理（PDA）と

して、酸素ガス雰囲気下で 650℃ でアニールを行った。

【0033】

前記サンプル A～C は、この発明の方法による High-k 膜を示しているが、このうち、サンプル A、B が最初のアニール（熱処理）をアンモニアガス雰囲気下で行っているのに対し、サンプル C は最初のアニール（熱処理）を酸素ガス雰囲気下で行っている。また、サンプル A、B は、2 回目、3 回目のアニール（熱処理）を、前者がアンモニアガス雰囲気下で行っているのに対し、後者は酸素ガス雰囲気下で行っている。また、サンプル C はアニール（熱処理）を全て酸素ガス雰囲気下で行っている。

【0034】

前記サンプル A～D の物性を評価した。すなわち、膜中の残留不純物としてのカーボンの量を SIMS (Secondary Ionization Mass Spectrometer; 二次イオン質量分析) によって分析した。また、膜の緻密性に関して X 線反射率測定を行い、膜の密度を求めた。前記分析および測定の結果を下記表 1 に示す。

【0035】

【表 1】

	カーボンの量	膜の密度(g/cm ³)
A	0.15	8.8
B	0.12	8.5
C	0.11	8.5
D	1.00	8.0

【0036】

上記表 1 の結果から、本発明方法によるサンプル A～C は不純物を除去することができ、さらに、膜が緻密になっていることが分かる。また、不純物除去工程を全て、200W のプラズマ酸素処理で同様に行ったサンプルの膜中のカーボン量は 0.18 であり、プラズマ酸素処理においても同様に不純物除去ができることが分かる。

【0037】

さらに、前記サンプルA～Dの電気的特性として、CV (Capacitance-Voltage) カーブのヒステリシス (印加電圧と容量との関係) およびリーク電流を測定したところ、下記表1に示すような結果が得られた。

【0038】

【表2】

	CVのヒステリシス (mV)	リーク電流 (mV/cm ²)
A	15	7.0
B	15	5.0
C	10	1.1
D	80	11.0

【0039】

上記表2から、本発明方法によるサンプルA～Cは、従来方法によるサンプルDに比べて、いずれの電気的特性も優れていることが分かる。すなわち、CVカーブのヒステリシスが小さいものほど界面準位が少なく良質な膜であるが、サンプルA～Cは、サンプルDに比べて著しく小さい。また、リーク電流もサンプルA～Cは、サンプルDに比べて著しく小さい。この理由は、表1からも分かるように、サンプルA～Cは、サンプルDに比べて不純物が非常に少なく、膜の密度が大きく緻密な良質の膜であるからである。したがって、これらのことから、本発明方法によるHigh-k膜は、従来方法によるHigh-k膜に比べて、非常に優れた性質を有することが分かる。

【0040】

上述の各実施例においては、不純物を除去する工程 (熱処理またはアニール工程) におけるガス雰囲気として還元性ガス雰囲気または酸化性ガス雰囲気を採用しており、還元性ガス雰囲気においてはアンモニアガスを用い、酸化性ガス雰囲気においては酸素ガスを用いていたが、この発明はこれに限られるものではなく、種々のガスを用いることができる。すなわち、不純物を除去する工程における還元性雰囲気を、水素ガスまたは不活性ガスを用いて形成してもよく、また、ア

ンモニアガス、水素ガスまたは不活性ガスの混合ガスを用いて形成してもよく、プラズマ窒素を用いてもよく、さらに、真空中であってもよい。また、不純物を除去する工程における酸化性ガス雰囲気、一酸化窒素 (NO) ガス、亜酸化窒素 (N_2O) ガスやオゾンガスを用いて形成してもよく、また、これらのガスを適宜混合した混合ガスを用いて形成してもよく、さらには、プラズマ酸素を用いてもよい。

【0041】

上述した実施の形態は、いずれも、本発明方法をMIS型トランジスタ1のゲート絶縁膜4の形成方法に適用したものであり、Si基板2上にHigh-k膜よりなるゲート絶縁膜4を形成する方法であったが、この発明は、これに限られるものではなく、MIM型キャパシタのキャパシタ用絶縁膜の形成においても同様に適用することができる。

【0042】

図9は、MIM型キャパシタ21の構成を概略的に示すもので、この図において、22はSi単結晶基板（以下、単にSi基板という）で、その抵抗率は例えば $0.01 \sim 15 \Omega \cdot \text{cm}$ である。23は素子間を分離させるための素子分離酸化膜で、Si基板2を熱酸化させて形成される。24はSi基板22の表面22aに形成されるゲート絶縁膜で、前記図1に示したゲート絶縁膜4と同様の手法で形成される。

【0043】

45はゲート絶縁膜4の上面に形成されるゲート電極で、例えば多結晶Si膜や多結晶SiGe膜、または、ゲート絶縁膜4と反応しないPt（白金）などの貴金属やTiN、TaNなどの高融点金属よりなる。46はチャンネル領域で、nチャンネルにはP（リン）などを、pチャンネルにはB（ボロン）などをそれぞれ注入し、 $800 \sim 1000^\circ\text{C}$ の温度で10～30分間熱処理を行って活性化させる。27は第1層間絶縁膜で、例えば、 SiO_2 よりなり、CVD法などで形成される。28はチャンネル領域46の引き出し電極で、第1層間絶縁膜27にRIE（反応性イオンエッチング）などの手法でコンタクトホールを形成した後、このコンタクトホール内に例えば、Cu、Al、AlSi、 Pt_2Si 、T

i N、T a Nなどの高融点金属を設けてなるものである。

【0044】

29は前記第1層間絶縁膜27の上面に形成される第2層間絶縁膜で、例えば、S i O₂ よりなり、C V D法などで形成される。30は第1層間絶縁膜27に形成される引き出し電極28の一方と電氣的に接続されるように、第2層間絶縁膜29に設けられる引き出し電極で、引き出し電極28の形成と同様の手法で形成される。

【0045】

そして、31は第1層間絶縁膜27に形成される引き出し電極28の他方と電氣的に接続されるように、第2層間絶縁膜29に設けられるキャパシタで、次のように構成されている。すなわち、第2層間絶縁膜29にコンタクトホールが形成され、このコンタクトホール内に、下部電極32、上部電極33およびこれら両電極32、33間に形成されるキャパシタ用絶縁膜34が設けられ、これらによってキャパシタ31が形成される。そして、下部電極32は、P tなどの貴金属やT i N、T a Nなどの高融点金属よりなり、また、上部電極33は、C u、A l、またはP tなどの貴金属、あるいはT i N、T a Nなどの高融点金属よりなり、いずれの電極32、33もキャパシタ用絶縁膜34と反応しない材料で構成される。そして、キャパシタ用絶縁膜34は、下部電極32の上面にH i g h - k膜によって形成される。なお、パターンニングは、例えば、リソグラフィの技術によって行われる。

【0046】

前記キャパシタ用絶縁膜34の性能を試験するため、例えば、S i基板上にS i O₂膜を200nmの厚みで形成し、この上面にP t膜を約100nmの厚みで形成して、キャパシタ用下部電極とした。そして、このP t膜よりなるキャパシタ用下部電極の上面に、図8に示す方法でサンプルA～Cを成膜し、比較例として、一挙に3nmのH i g h - k膜を作成する従来方法のものをサンプルDとした。そして、上部電極として、T i N膜を形成して、キャパシタ用絶縁膜の電氣的特性の評価を行ったところ、下記表3が得られた。

【0047】

【表 3】

	絶縁破壊電圧 (MV/cm)
A	8.0~10
B	8.4~10
C	8.6~12
D	3.5~7.4

【0048】

上記表 3 から、本発明方法によるサンプル A～C の絶縁破壊電圧が、従来のサンプル D のそれよりも高く、良質な膜であることが分かる。この理由は、表 1 から分かるように、サンプル A～C は、サンプル D に比べて不純物が非常に少なく、膜の密度が大きく緻密な良質の膜であるからである。したがって、これらのことから、本発明方法による High-k 膜は、キャパシタ用絶縁膜 34 としても非常に優れた性質を有することが分かる。

【0049】

なお、上記実施の形態においては、High-k 膜が形成される基板として Si 基板を用いているが、これに限られるものではなく、前記基板として GaAs 化合物半導体基板や SOI (Silicon On Insulator) 基板を用いてもよい。

【0050】

【発明の効果】

以上説明したように、この発明によれば、不純物をほとんど含まない High-k 膜よりなるゲート絶縁膜を形成することができ、不純物に起因するフラットバンドシフトや界面固定電荷を低減することができ、その結果、高品質の MIS 型トランジスタを得ることができる。また、不純物をほとんど含まない High-k 膜よりなるキャパシタ用絶縁膜を形成することができ、不純物に起因する絶縁破壊電圧の低下を防ぐことができ、その結果、高品質の MIM 型キャパシタを得ることができる。

【図面の簡単な説明】

【図 1】

この発明の絶縁膜の形成方法が適用されるMIS型トランジスタの構造を概略的に示す図である。

【図 2】

Al₂O₃ 膜を昇温脱離ガス分析したときの結果を説明するための図である。

【図 3】

HfO₂ 膜を昇温脱離ガス分析したときの結果を説明するための図である。

【図 4】

HfAlO_x 膜を昇温脱離ガス分析したときの結果を説明するための図である。

【図 5】

HfO₂ 膜を軟X線光電子分光法で測定したときの結果を説明するための図である。

【図 6】

この発明の半導体装置の製造方法の一例を説明するための図である。

【図 7】

前記半導体装置の製造方法によって形成されたHigh-k膜の特性を比較例とともに示す図である。

【図 8】

この発明の半導体装置の製造方法の他の例を説明するための図である。

【図 9】

この発明の絶縁膜の形成方法が適用されるMIM型キャパシタの構造を概略的に示す図である。

【図 10】

従来技術およびその欠点を説明するための図である。

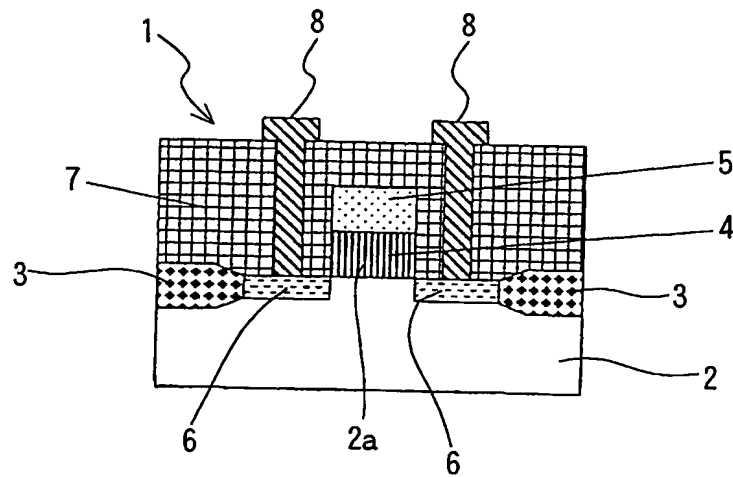
【符号の説明】

1…MIS型トランジスタ、2…シリコン基板、2a…シリコン基板の表面、4…ゲート絶縁膜、11…成膜工程、12…不純物除去工程、21…MIM型キャパシタ、34…キャパシタ用絶縁膜。

【書類名】

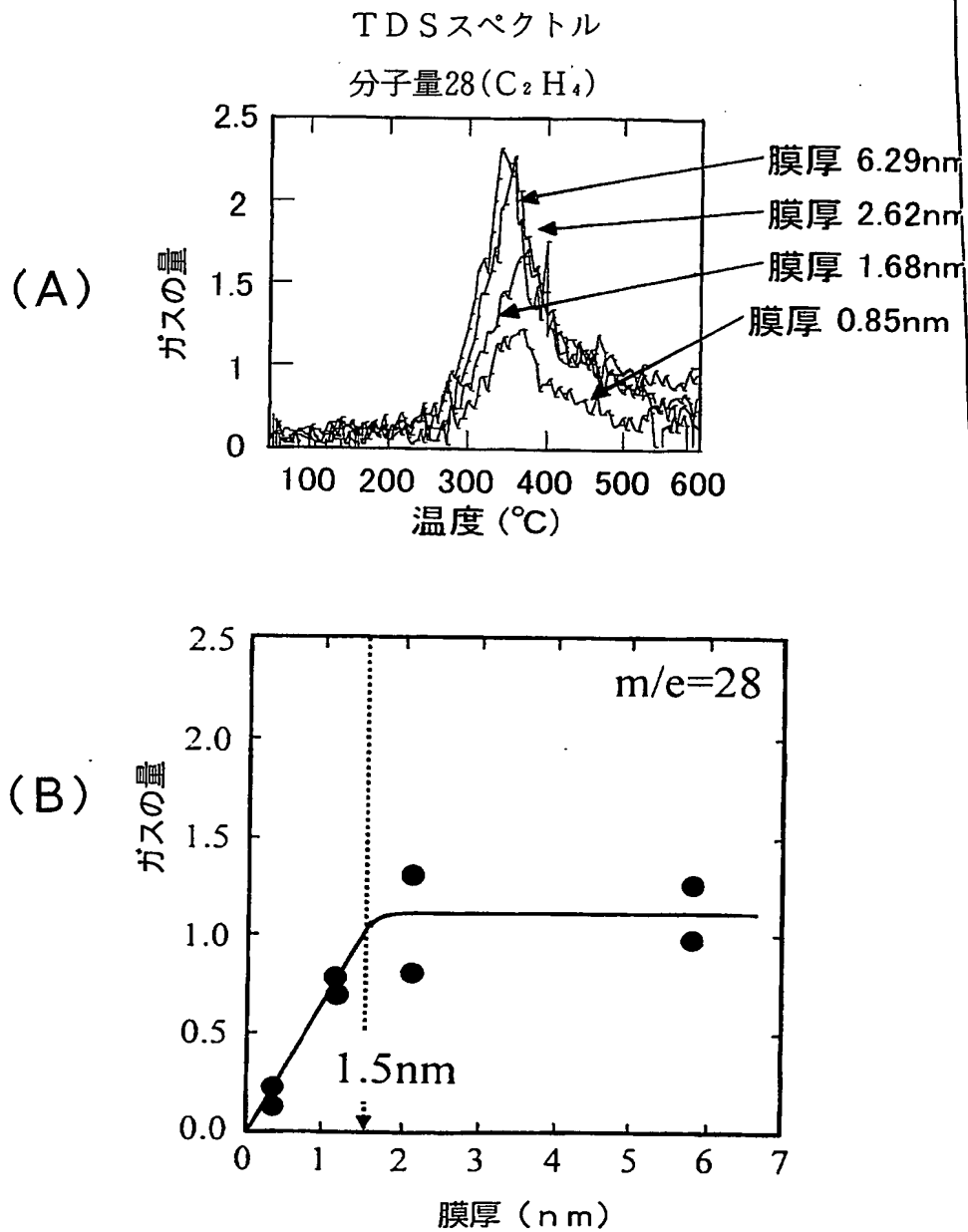
図面

【図 1】

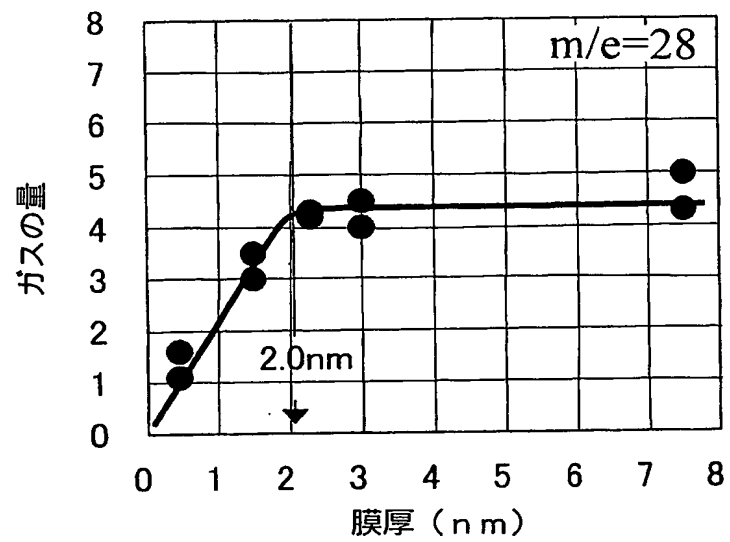


- 1…MIS型トランジスタ
- 2…シリコン基板
- 2a…シリコン基板の表面
- 4…ゲート絶縁膜

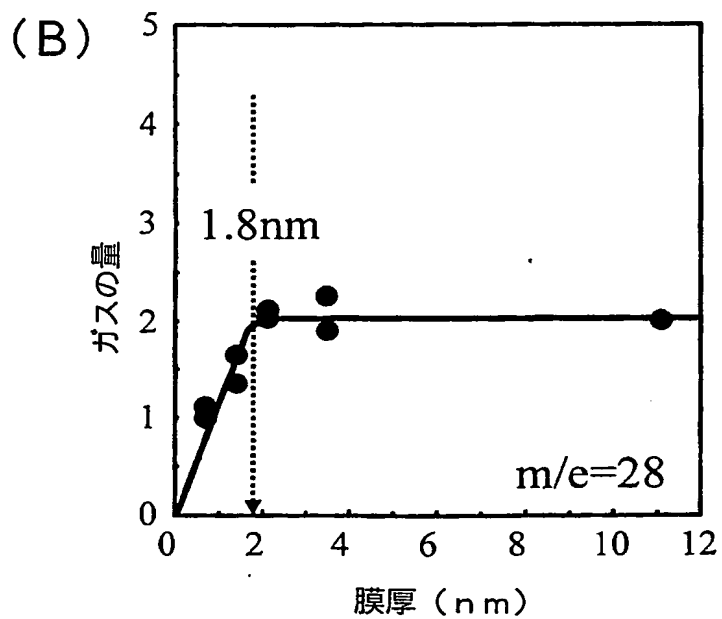
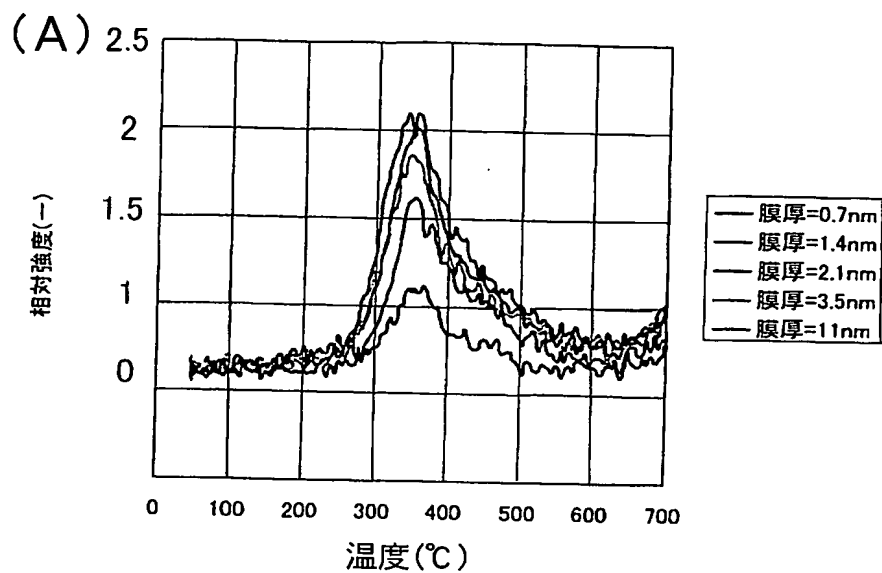
【図2】



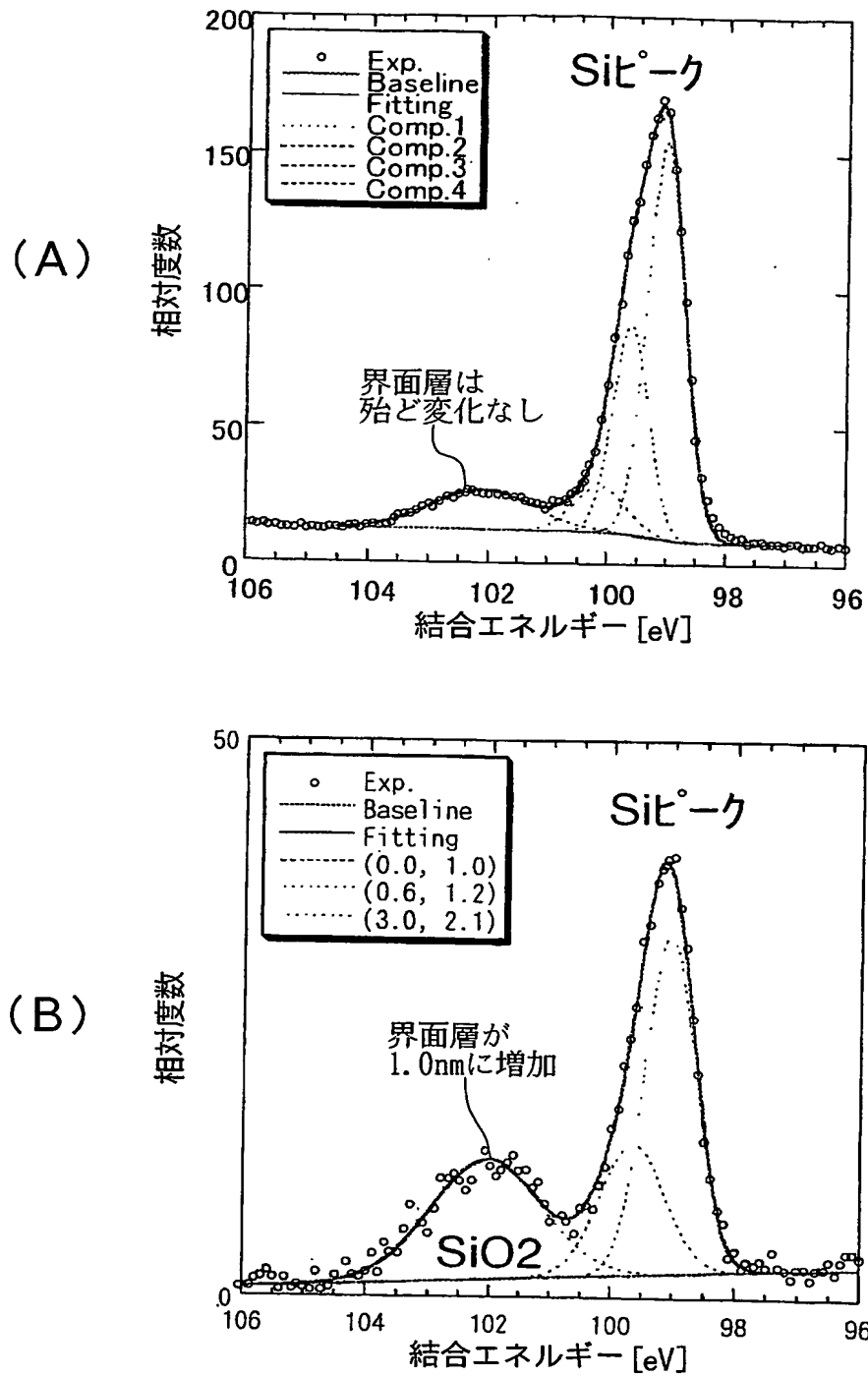
【図3】



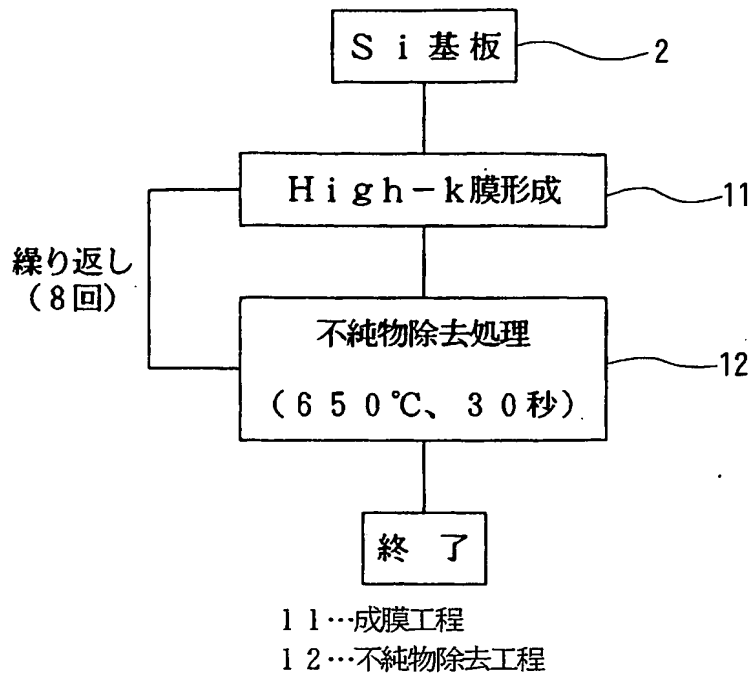
【図 4】



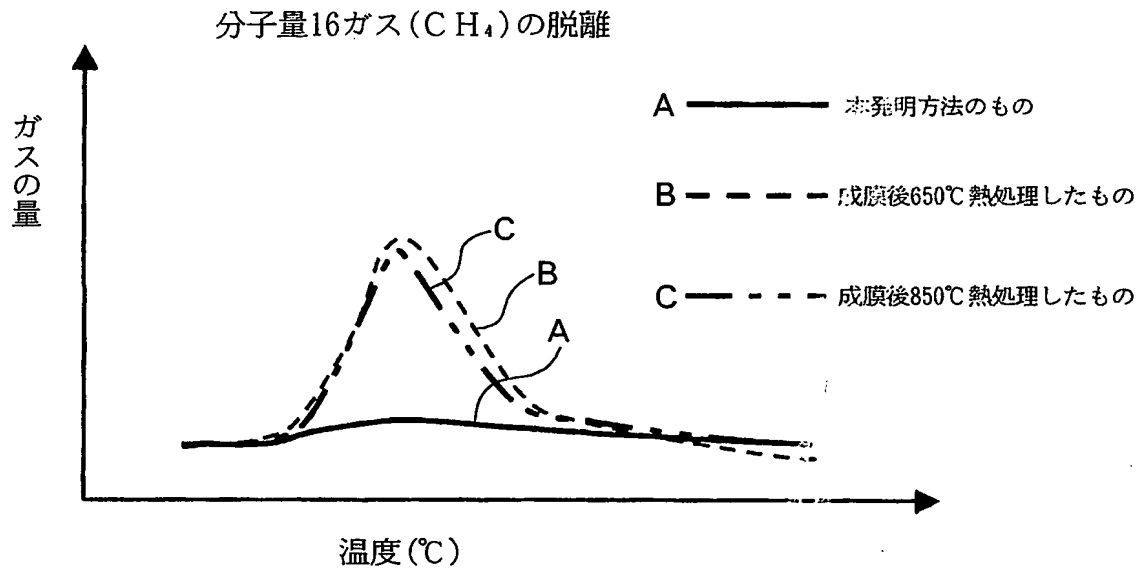
【図 5】



【図 6】



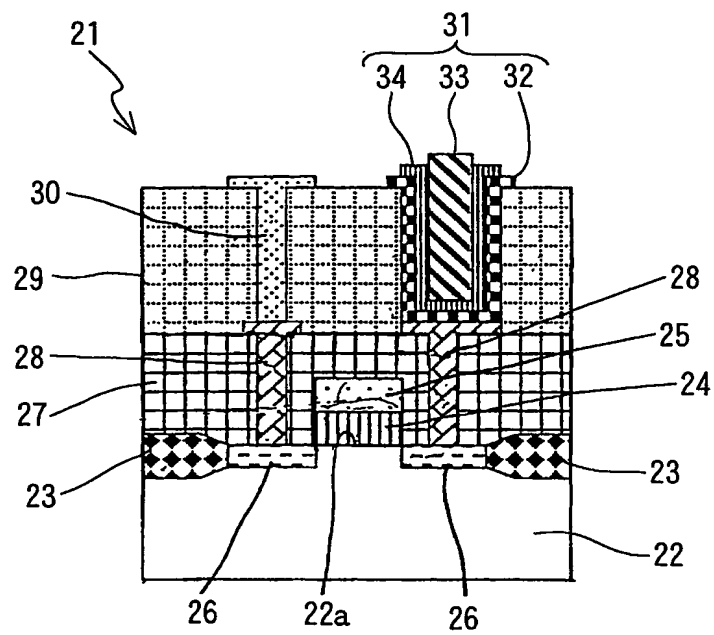
【図 7】



【図 8】

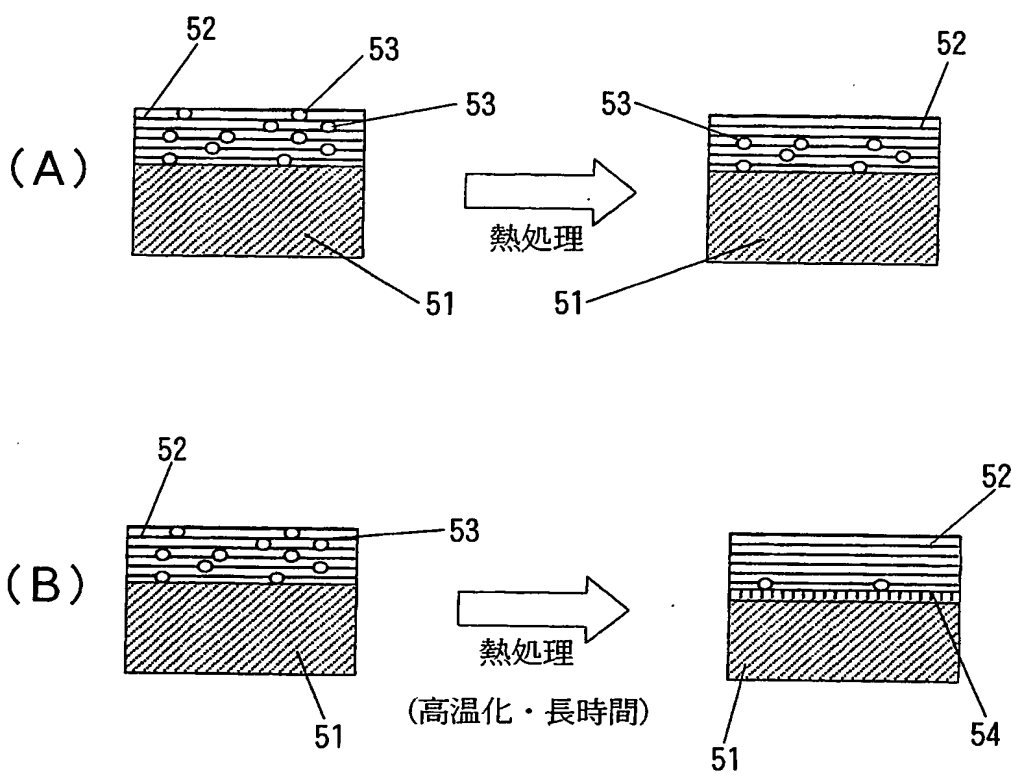
サンプルA	サンプルB	サンプルC
① HfAlO_x を 1nm 成膜	同左	同左
② アンモニアガス、650℃でアニール	同左	酸素ガス、650℃でアニール
③ HfAlO_x を 1nm 成膜	同左	同左
④ アンモニアガス、650℃でアニール	酸素ガス、650℃でアニール	同左
⑤ HfAlO_x を 1nm 成膜	同左	同左
⑥ アンモニアガス、650℃でアニール	酸素ガス、650℃でアニール	同左
⑦ PDAとして、酸素ガス、650℃でアニール	同左	同左

【図 9】



21...MIM型キャパシタ
34...キャパシタ用絶縁膜

【図 10】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜中にその膜質を劣化させる不純物を可及的に存在させないようにすることができる半導体装置の製造方法を提供すること。

【解決手段】 絶縁膜 4 の厚みを 0.3 ~ 2 nm の範囲に成膜する工程 11 と前記絶縁膜中の不純物を除去する工程 12 とを複数回繰り返すことによって、所定厚みの絶縁膜 4 とする。

【選択図】 図 6

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成16年 3月 9日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003- 79279
【承継人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
 【識別番号】 100080001
 【弁理士】
 【氏名又は名称】 筒井 大和
【提出物件の目録】
 【包括委任状番号】 0308729
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 平成15年4月11日付け提出の特許第3154542号の会社
 分割による特許権移転登録申請書を援用する。
 【物件名】 権利の承継を証明する承継証明書 1
 【援用の表示】 同日付提出の特願2003-79290の出願人名義変更届（一
 般承継）に添付のものを援用する。

特願 2003-079279

ページ: 1

出願人履歴情報

識別番号

[000155023]

1. 変更年月日

1990年 9月 3日

[変更理由]

新規登録

住所

京都府京都市南区吉祥院宮の東町2番地

氏名

株式会社堀場製作所

特願 2 0 0 3 - 0 7 9 2 7 9

出 願 人 履 歴 情 報

識別番号

[3 0 1 0 2 1 5 3 3]

1. 変更年月日

2 0 0 1 年 4 月 2 日

[変更理由]

新規登録

住 所

東京都千代田区霞が関 1 - 3 - 1

氏 名

独立行政法人産業技術総合研究所

特願 2003-079279

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 7 9 2 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社